

Sistemas de Procesamiento de Altas Prestaciones Reconfigurables

Eduardo Kunysz^{1,2}, Martin Morales^{1,2}, José Rapallini¹, Jorge Osio¹

¹Centro de Técnicas Analógico Digitales (CeTAD) – Universidad Nacional de La Plata (UNLP)

²Instituto de Ingeniería y Agronomía - Universidad Nacional Arturo Jauretche

ekunysz@unaj.edu.ar, mmorales@unaj.edu.ar, jrapallini@gmail.com, josio@unaj.edu.ar

Resumen

El objetivo de esta línea de investigación es el estudio de nuevas técnicas de procesamiento basadas en el procesamiento paralelo para aplicaciones específicas. Dicho sistema utiliza unidades de lógica programable como núcleos de procesamiento, permitiendo implementar funciones de software paralelas directamente en hardware dedicado.

Palabras clave: *Arquitecturas Multiprocesador. Plataformas reconfigurables para procesamiento paralelo. Lógica programable.*

Contexto

Se presenta una línea de Investigación “Aplicaciones de sistemas reconfigurables y microtecnologías en plataformas para cálculo de alta performance”, que es parte del Proyecto de Investigación Científico-Tecnológico *Microtecnologías y Nuevos Recursos de Sistemas Digitales*, Proyectos acreditado por la UNLP y el Programa de Incentivos,

I 212 (01/01/2016 – 31/12/2019) desarrollado en la UIDET CeTAD perteneciente a la Facultad de Ingeniería de la Universidad Nacional de La Plata (UNLP).

En colaboración con actividades desarrolladas por docentes en la Universidad Nacional Arturo Jauretche UNAJ relacionados en el marco de convenio entre ambas instituciones.

Introducción

La tecnología de arreglo de compuertas o FPGA, ha venido siendo utilizada en aplicaciones de diversas áreas, ya sea en investigación como en la industria. Algunos ejemplos pueden ser sistemas de criptografía, exploración de arquitecturas de computadores, procesamiento multimedia, simulaciones financieras, físicas y emuladores.[2] [5]

Cuando se realizan desarrollos de altas prestaciones, como puede ser el diseño de una supercomputadora, hay que analizar las ventajas que podría tener la implementación de uno de estos sistemas con FPGAs. En los últimos años se ha venido intensificando la tendencia a la utilización de FPGAs en vez de procesadores de propósitos generales y ASICs, sobretudo en pequeñas y

medianas empresas que carecen de los recursos necesarios para realizar implementaciones en ASIC.

La mayor ventaja de plataformas reconfigurables, por sobre procesadores de propósitos generales y ASICs es el balance entre el diseño de circuitos electrónicos especializados, o dedicados y la flexibilidad de programación.

Estas ventajas las podemos resumir en los siguientes puntos:

1. El coste de realizar un diseño en una FPGA es mucho menor que en un ASIC.
2. Las herramientas de diseño para FPGA son más baratas que las correspondientes para ASIC.
3. El tiempo de desarrollo hasta la llegada al mercado de un diseño basado en FPGA es mucho menor que el equivalente basado en ASIC.
4. En una FPGA es posible corregir un error de hardware en el diseño, incluso cuando ya ha sido lanzado el producto final.

El crecimiento sostenido en la demanda del poder de cómputo remarca la necesidad de sistemas con enfoques de paralelización masiva y cómputo de alta performance (HPC, High Performance Computing) [1]. La paralelización a nivel de hardware reconfigurable, brinda una herramienta enorme a la hora de procesar grandes volúmenes de datos. [2]

Implementación

El grupo de investigación está explorando técnicas de procesamiento de HPRC con una placa que está compuesta por una FPGA (Xilinx Spartan 6), 3 memorias SRAM para maximizar el

throughput de acceso aleatorio y 2 memorias del tipo DDR2 para almacenamiento de datos. Esto, junto a las fuentes de alimentación e interfaces de comunicación están integrados en un circuito impreso de 12 capas y de un tamaño de 8x12cm.

Sobre la base de esta placa se está trabajando en el diseño de una versión prototipo para evolucionar hacia tecnologías superiores con varias FPGAs por placa.

Para el diseño del nuevo sistema HPRC a medida, en una primera etapa se realizó la planificación del sistema completo, seleccionando cuidadosamente cada uno de los elementos y definiendo las características de la interacción entre los mismos. Para el proyecto se eligió una topología con dos FPGAs (Arreglo de compuertas programables por campo), comunicadas entre sí por medio de una memoria compartida y puertos GTX (Gigabit transceiver (6 Gbps), formado por una línea de clock y una interfaz de datos paralela) y GPIO (puertos de entrada / salida genéricos). Cada FPGA se encuentra conexionada a su vez con diferentes periféricos, estableciendo una topología asimétrica debido a la limitación de recursos disponibles.

En la Fig 1, se observa la arquitectura propuesta para esta variante.

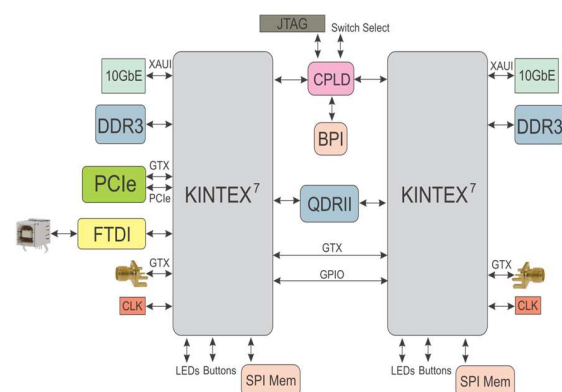


Fig. 1. Diseño de dos FPGAS

El objetivo final es el de obtener unidades de procesamiento compuestas por 4 FPGAs, dichas unidades de procesamiento interconectadas entre si forman un único equipo de procesos de alta performance.

Con el objeto de estudiar distintas topologías de interconexión que permiten flexibilidad de proyectos y aplicaciones específicas se están estudiando topologías como las que se muestran en las siguientes figuras.

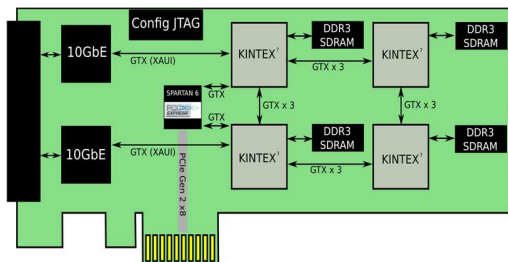


Fig. 2. Topología Backplane / Gigabit ethernet

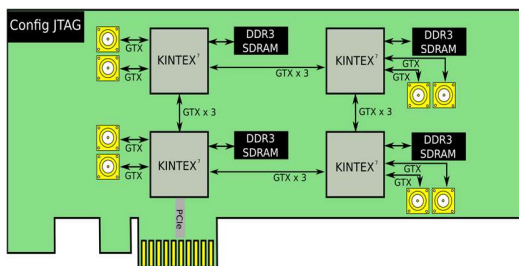


Fig. 3. Topología cubo utilizando buses de alta velocidad propios de las FPGAs de generación 7

Líneas de Investigación, Desarrollo e Innovación

Temas de Estudio e Investigación

- ♣ Arquitecturas multiprocesamiento, para procesamiento paralelo embebido en lógica programable.
- Arquitectura de E/S paralela considerando el software, hardware,

comunicaciones entre módulos y dispositivos de almacenamiento.

- ♣ Técnicas de comunicación entre dispositivos de lógica programable para optimizar el rendimiento y consumo de las HPRC (High Performance Reconfigurable Computing).

Resultados y Objetivos

Resultados y Discusión

Los principales resultados de la propuesta permiten afirmar que se ha diseñado una plataforma de bajo costo que permitirá realizar cómputo de altas prestaciones oem (a medida). Cada uno de los componentes y la topología de comunicación fueron cuidadosamente seleccionados y planificados para lograr una herramienta de cómputo potente y versátil.

Formación de Recursos Humanos

Dentro de la temática de la línea de I/D se participa en el dictado de la carrera de Ingeniería Informática de la UNAJ e Ing. Electrónica y Ing. en Computación de la UNLP. Aportando trabajos de alumnos de las materias Proyectos Final Electrónica, Circuitos Digitales y microprocesadores y Codiseño Hardware Software

Hay 2 investigadores realizando su Maestría, dos investigadores de la UIDET CeTAD, y tres alumnos realizando el proyecto de graduación en la temática.

Referencias

- 1 "CUBE: a 512-FPGA Cluster", Oskar Mencer, Kuen Hung Tsoi, Stephen Craimer, Timothy Todman and Wayne Luk, Ming Yee Wong and Philip Heng Wai Leong , Dept. of Computing, Imperial College London , Dept. of Computer Science and Engineering The Chinese University of Hong Kong .
- 2 "The NAPA Adaptive Processing Architecture", Charlé R. Rupp, Ph.D., Mark Landguth, Tim Garverick, Edson Gomersall, Harry Holt , National Semiconductor Corporation .
- 3 "grape-4 : A Massively Parallel Special-Purpose Computer for Collisional N-Body Simulations", Junichiro Makino , Makoto Taiji, Toshikazu Ebisuzaki, and Daiichiro Sugimoto . IEEE
- 4 "Implementation trade-offs of Triple DES in the SRC-6e Reconfigurable Computing Environment " ,Osman Devrim Fidanci, Hatim Diab, Tarek El-Ghazawi, Kris Gaj and Nikitas Alexandridis
- 5 "FPGAs vs. CPUs: Trends in Peak Floating-Point Performance ", Keith Underwood , Sandia National Laboratories .
- 6 "High Performance Reconfigurable Computing for Science and Engineering Applications ", Peter Leonard McMahon
- 7 "Implementing Simulink Designs on SRC-6 System", David Meixner, Volodymyr Kindratenko, David Pointer, Innovative Systems Laboratory, National Center for Supercomputing Applications, University of Illinois at Urbana-Champaign
(<http://www.srccomp.com/carte-programming-environment>)
- 8 "Using Hardware Libraries with Impulse C", Ralph Bodenner, Director of Product Development, Impulse Accelerated Technologies, Inc. Application Note (<http://www.impulseaccelerated.com/>)
- 9 "Low Power Hybrid Computing for Efficient Software Acceleration", Mitronics, White Paper. (<http://www.mitronics.com/>)
- 10 "DK4 - Handel-C Language Reference Manual", Celoxica, (<http://www.celoxica.com/>)
- 11 "CoreFireTM Design Suite", Annapolis Micro Systems, Inc., DataSheet (<http://www.annapmicro.com/corefire.html>)
- 12 "Model-Based Design with Simulink, HDL Coder, and Xilinx System Generator for DSP", Kiran Kintali and Yongfeng Gu, MathWorks, White Paper (<http://www.mathworks.com/fpga-design/simulink-with-xilinx-system-generator-for-dsp.html>)
- 13 Customizing Virtual Networks with Partial FPGA Reconfiguration, Dong Yin , Deepak Unnikrishnan, Yong Liao, Lixin Gao and Russell Tessier . Dept. of Electrical and Computer Engineering University of Massachusetts
- 14 "High Performance Biological Pairwise Sequence Alignment: FPGA versus GPU versus Cell BE versus GPP", Khaled Benkrid, Ali Akoglu, Cheng Ling, Yang Song, Ying Liu, Xiand Tian. International Journal of Reconfigurable Computing 2012.